



Docket No.: R2184.0247/P247 (PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Keiichi Yoshioka

Application No.: 10/633,681

Art Unit: N/A

Filed: August 5, 2003

Examiner: Not Yet Assigned

For: SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE AND FABRICATION
METHOD THEREOF

SUBMISSION OF DOCUMENTS
IN SUPPORT OF CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

On August 5, 2003, Applicant filed a Claim for Priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-232551	August 9, 2002

In support of this claim, a certified copy of said prior foreign application is filed herewith.

Dated: October 8, 2003

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

Japan Patent Office

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: August 9, 2002

Application Number: Japanese Patent Application
No.2002-232551

[ST.10/C]: [JP2002-232551]

Applicant(s): RICOH COMPANY, LTD.

September 3, 2003

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3071845

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 3 2 5 5 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 3 2 5 5 1]

出 願 人 株 式 会 社 リ コ ー
Applicant(s):

2 0 0 3 年 9 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 1 8 4 5

【書類名】 特許願

【整理番号】 0202306

【提出日】 平成14年 8月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
G06F 17/50

【発明の名称】 半導体集積回路装置及びその製造方法

【請求項の数】 14

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 吉岡 圭一

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100085464

【弁理士】

【氏名又は名称】 野口 繁雄

【手数料の表示】

【予納台帳番号】 037017

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808801

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板又は S O I 基板からなる支持基板上に形成された半導体素子と、支持基板上の絶縁膜中に形成された多層配線構造を備えた半導体集積回路装置において、

多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えていることを特徴とする半導体集積回路装置。

【請求項 2】

前記熱伝導部は最上層の配線層を含んでいる請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記熱伝導部を構成する最上層の配線層上の絶縁膜に開口部が形成されている請求項 2 に記載の半導体集積回路装置。

【請求項 4】

半導体素子として M O S トランジスタを含み、前記熱伝導部は M O S トランジスタのゲート電極に直接又は信号伝送用の接続孔及び金属配線層を介して接続されている請求項 1、2 又は 3 のいずれかに記載の半導体集積回路装置。

【請求項 5】

半導体素子として M O S トランジスタを含み、前記熱伝導部は M O S トランジスタのソース又はドレイン領域に直接又は信号伝送用の接続孔及び金属配線層を介して接続されている請求項 1 から 4 のいずれかに記載の半導体集積回路装置。

【請求項 6】

半導体素子として M O S トランジスタを含み、前記熱伝導部は M O S トランジスタを電氣的に分離するための素子分離膜に直接又は信号伝送用の接続孔及び金属配線層を介して接続されている請求項 1 から 5 のいずれかに記載の半導体集積回路装置。

【請求項 7】

前記 MOS トランジスタは、完全空乏型 S O I トランジスタ、部分空乏型 S O I トランジスタ又は S O N トランジスタである請求項 4、5 又は 6 のいずれかに記載の半導体集積回路装置。

【請求項 8】

前記熱導電部は、電氣的配線としては使用されていないダミーメタルを含み、各層において前記ダミーメタルは同じ座標に配置されており、異なる層で同じ座標位置のダミーメタルが接続孔を介して接続されている請求項 1 から 7 のいずれかに記載の半導体集積回路装置。

【請求項 9】

複数の半導体素子を含む回路を機能ごとに機能ブロック化し、複数の機能ブロックを配置する方式の半導体集積回路装置において、

機能ブロックの一部又は全部が請求項 1 から 8 のいずれかに記載の熱伝導部を 1 又は複数備えていることを特徴とする半導体集積回路装置。

【請求項 1 0】

前記熱伝導部は、機能ブロック内のゲート電極の熱容量に応じて配置されている請求項 9 に記載の半導体集積回路装置。

【請求項 1 1】

複数の半導体素子を含む回路を機能ごとに機能ブロック化し、複数の機能ブロックを配置する方式の半導体集積回路装置において、

機能ブロック間に隙間を埋めるフィードセルが配置されている領域を含み、前記フィードセルの一部又は全部が請求項 1 から 8 のいずれかに記載の熱伝導部を 1 又は複数備えていることを特徴とする半導体集積回路装置。

【請求項 1 2】

前記熱伝導部を備えたフィードセルは、フィードセル近傍の機能ブロック内のゲート電極の熱容量に応じて配置されている請求項 1 1 に記載の半導体集積回路装置。

【請求項 1 3】

複数の半導体素子を含む回路を機能ごとに機能ブロック化し、各機能ブロック

をスタンダードセルとしてライブラリーに保持しておき、複数のスタンダードセルを配置するスタンダードセル方式の半導体集積回路装置の製造方法において、

スタンダードセルには、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えたものを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】

スタンダードセルには機能ブロック間の隙間を埋めるフィードセルも含まれており、それらのフィードセルには、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えたものを含む請求項 1 3 に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路装置及びその製造方法に関し、特に、半導体基板又は S O I (Silicon On Insulator) 基板からなる支持基板上に形成された半導体素子と支持基板上の絶縁膜中に形成された多層配線構造を備えた半導体集積回路装置、及び、1つの製造方法として、複数の半導体素子を含む回路を機能ごとに機能ブロック化し、各機能ブロックをスタンダードセルとしてライブラリーに保持しておき、複数のスタンダードセルを配置するスタンダードセル方式の半導体集積回路装置の製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

M O S (Metal Oxide Semiconductor) トランジスタを備えた半導体集積回路装置（以下、チップとも称す）において、製造プロセスの微細化や、チップに搭載されるデバイス数の増加、動作速度の向上等により、デバイスの発熱によるデバイスや配線の破壊、温度上昇によるデバイスの性能劣化を招く場合がある。

【 0 0 0 3 】

一般に、チップの発熱に対する対策として、IC (Integrated Circuit) 組立て工程においてパッケージが備える放熱機構を利用し、デバイス等が形成される半導体素子面に対し、半導体素子形成面とは反対側の面（裏面）のシリコン基板（半導体基板）を放熱機構に接触させることにより放熱を行なっている。

【0004】

また、チップの発熱に対するチップ内設計上の対策としては、内部機能を分割し、一部を活性化させることで消費電力を抑えてチップ全体の発熱を抑えたり、スタンダードセル方式のセル配置配線によるレイアウト手法では、各セルが消費電力のパラメータを備え、セル配置配線ツールのソフトウェア的手段により消費電力の大きな、例えばクロックドライバのようなセルを分散配置したりすることで、チップ内に局所的に発生する発熱領域を分散させる等の手段がある。

【0005】

例えば特許第2971464号公報では、スタンダードセルライブラリに仮想温度パラメータを含み、仮想温度とコスト値を調整しながらセル配置を制御する方法が開示されている（従来技術1）。また、特許第2798048号公報では、活性化率の高いセルをチップ周辺に配置することで、チップ内温度分布を調整する方法が開示されている（従来技術2）。

【0006】

また、プロセスのさらなる微細化にともなうMOSトランジスタのチャネル容量（チャネル寄生容量）の問題を解決する構造として、SOI構造のMOSトランジスタがある。SOI構造は大きく分けて3種類ある。図12に、従来型のMOSトランジスタ及びSOI構造のMOSトランジスタの断面図を示す。

【0007】

(A) に示すように、従来型のMOSトランジスタは、シリコン基板1の表面側に間隔をもって形成された2つのソース又はドレイン領域9, 9を備え、ソース又はドレイン領域9, 9間のシリコン基板1上にゲート酸化膜11を介してゲート電極13を備えている。

【0008】

(B) に示すように、完全空乏型SOI-MOSトランジスタ（以下、完全空

乏型SOIトランジスタと称す)は、SOI基板7に形成される。SOI基板7はシリコン基板1上に形成された埋込み酸化膜3と埋込み酸化膜3上に形成された単結晶シリコン層5をもつ。単結晶シリコン層5に間隔をもって2つのソース又はドレイン領域9, 9が形成され、ソース又はドレイン領域9, 9間の単結晶シリコン層5上にゲート酸化膜11を介してゲート電極13が形成されている。完全空乏型SOIトランジスタではチャネル領域下の単結晶シリコン層5が全て空乏化する。

【0009】

(C)に示すように、部分空乏型SOI-MOSトランジスタ(以下、部分空乏型SOIトランジスタと称す)は、SOI基板7に形成される。単結晶シリコン層5に間隔をもって2つのソース又はドレイン領域9, 9が形成され、ソース又はドレイン領域9, 9間の単結晶シリコン層5上にゲート酸化膜11を介してゲート電極13が形成されている。部分空乏型SOIトランジスタは、完全空乏型SOIトランジスタに比べて膜厚が厚い単結晶シリコン層5をもち、単結晶シリコン層5の底部に空乏化されない領域をもつ。

【0010】

(D)に示すSON(Silicon On Nothing)-MOSトランジスタ(以下、SONトランジスタと称す)は、表面側のチャネル領域となる領域の直下に空孔又は埋込み酸化膜14が形成されたシリコン基板1に形成される。シリコン基板1には、空孔又は埋込み酸化膜14上のチャネル領域となる領域を挟んで2つのソース又はドレイン領域9, 9が形成され、ソース又はドレイン領域9, 9間の単結晶シリコン層5上にゲート酸化膜11を介してゲート電極13が形成されている。

【0011】

SOI構造のMOSトランジスタ及びSONトランジスタでは、チャネル層が薄く、さらに絶縁物によりシリコン基板への熱伝導が困難であるので、特に完全空乏型SOIトランジスタでは、ゲート電極の発熱によるセルフヒーティング現象が問題になる。

【0012】

例えば特許第 3 1 2 8 9 3 1 号公報では、S O I デバイスにおける発熱を考慮して、S O I デバイス自体の自己発熱による温度変化、及び、その温度変化によって変化する移動度を算出し、この変化した移動度を用いて S O I デバイスの動作をシミュレーションする半導体デバイスのシミュレーション方法が開示されている（従来技術 3）。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかし、上記に示した従来技術 1 から 3 は、いずれも半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減するものではない。

本発明は、半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減することができる半導体集積回路装置及びその製造方法を提供することを目的とするものである。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の半導体集積回路装置は、半導体基板上に形成された半導体素子と、半導体基板上の絶縁膜中に形成された多層配線構造を備えた半導体集積回路装置であって、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えているものである。

熱伝導部により、半導体素子で発生する熱を半導体集積回路装置の上層側に放熱することができるので、半導体集積回路装置の温度上昇を低減することができる。

【 0 0 1 5 】

本発明の半導体集積回路装置において、上記熱伝導部は最上層の配線層を含んでいることが好ましい。その結果、熱伝導部により、半導体素子で発生する熱を半導体集積回路装置の上層面近傍まで伝導することができ、放熱の効率を向上させることができる。

【 0 0 1 6 】

さらに、上記熱伝導部を構成する最上層の配線層上の絶縁膜に開口部が形成さ

れていることが好ましい。その結果、さらに放熱の効率を向上させることができる。

【0017】

また、本発明の半導体集積回路装置を構成する半導体素子としてMOSトランジスタを挙げることができる。その場合、上記熱伝導部はMOSトランジスタのゲート電極に直接又は信号伝送用の接続孔及び金属配線層を介して接続されていることが好ましい。その結果、MOSトランジスタのゲート電極で発生する熱を熱伝導部を介して放熱することができる。

【0018】

また、上記熱伝導部はMOSトランジスタのソース又はドレイン領域に直接又は信号伝送用の接続孔及び金属配線層を介して接続されているようにしてもよい。その結果、MOSトランジスタのゲート電極で発生する熱を、ソース又はドレイン領域から熱伝導部を介して放熱することができる。

【0019】

また、上記熱伝導部はMOSトランジスタを電氣的に分離するための素子分離膜に直接又は信号伝送用の接続孔及び金属配線層を介して接続されているようにしてもよい。その結果、MOSトランジスタのゲート電極で発生する熱を素子分離膜から、熱伝導部を介して放熱することができる。

【0020】

上記MOSトランジスタとして、完全空乏型SOIトランジスタ、部分空乏型SOIトランジスタ又はSONトランジスタを挙げることができる。これらのMOSトランジスタ、特に完全空乏型SOIトランジスタにおいて、ゲート電極の発熱によるセルフヒーティング現象の問題を解決することができる。

【0021】

また、本発明の半導体集積回路装置において、上記熱導電部は、電氣的配線としては使用されていないダミーメタルを含み、各層において上記ダミーメタルは同じ座標に配置されており、異なる層で同じ座標位置のダミーメタルが接続孔を介して接続されていることが好ましい。その結果、チップ配線層間に蓄えられた熱も上層側に伝導することができ、半導体集積回路装置の温度上昇をさらに低減

することができる。

【 0 0 2 2 】

また、本発明が適用される半導体集積回路装置として、複数の半導体素子を含む回路を機能ごとに機能ブロック化し、複数の機能ブロックを配置する方式の半導体集積回路装置を挙げることができる。このような方式の半導体集積回路装置としては例えばスタンダードセル方式の半導体集積回路装置を挙げることができる。その場合、機能ブロックの一部又は全部が本発明の半導体集積回路装置を構成する熱伝導部を 1 又は複数備えていることが好ましい。その結果、複数の機能ブロックを配置する方式の半導体集積回路装置において発熱源となる半導体素子の直上に熱伝導部を配置することができ、放熱効果を効率よく得ることができる。

【 0 0 2 3 】

さらに、上記熱伝導部は、機能ブロック内のゲート電極の熱容量に応じて配置されていることが好ましい。その結果、例えばクロックドライバ等で使用されるバッファセル等の活性化率が高いことが予想される機能ブロックに熱伝導部を選択的に挿入することにより、熱伝導部に起因する信号配線の迂回を最小限にすることができる。

【 0 0 2 4 】

また、本発明の半導体集積回路装置を複数の半導体素子を含む回路を機能ごとに機能ブロック化し、複数の機能ブロックを配置する方式に適用した場合、機能ブロック間に隙間を埋めるフィードセルが配置されている領域を含み、フィードセルの一部又は全部が本発明の半導体集積回路装置を構成する熱伝導部を 1 又は複数備えているようにしてもよい。ここでフィードセルとは、複数の機能ブロックを配置する方式の半導体集積回路装置において機能ブロックを配置したときにできる隙間等、機能ブロック間に配置されるセルを言う。フィードセルは貫通セル（feed-through cell）とも呼ばれる。フィードセルに熱伝導部を配置することにより、従来の機能ブロックは変更することなく、熱伝導部による放熱効果を得ることができる。

【 0 0 2 5 】

さらに、上記熱伝導部を備えたフィードセルは、フィードセル近傍の機能ブロック内のゲート電極の熱容量に応じて配置されていることが好ましい。その結果、活性化率が高いことが予想される機能ブロックの近傍のフィードセルに熱伝導部を選択的に挿入することにより、熱伝導部に起因する信号配線の迂回を最小限にすることができる。

【 0 0 2 6 】

本発明の半導体集積回路装置の製造方法は、複数の半導体素子を含む回路を機能ごとに機能ブロック化し、各機能ブロックをスタンダードセルとしてライブラリーに保持しておき、複数のスタンダードセルを配置するスタンダードセル方式の半導体集積回路装置の製造方法であって、スタンダードセルには、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えたものを含む。

【 0 0 2 7 】

これにより、スタンダードセル方式の半導体集積回路装置の製造方法において、本発明の半導体集積回路装置を構成する熱伝導部を備えたスタンダードセルを用いることにより、半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減することができる。さらに、熱伝導部を備えたスタンダードセルに変更する工程は、スタンダードセル方式の半導体集積回路装置の製造方法における詳細配線工程後に行なうことができる。

【 0 0 2 8 】

本発明の半導体集積回路装置の製造方法において、スタンダードセルには機能ブロック間の隙間を埋めるフィードセルも含まれており、それらのフィードセルには、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えたものを含むことが好ましい。

【 0 0 2 9 】

これにより、スタンダードセル方式の半導体集積回路装置の製造方法において、本発明の半導体集積回路装置を構成する熱伝導部を備えたフィードセルを用い

ることにより、半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減することができる。さらに、熱伝導部を備えたフィードセルに変更する工程は、スタンダードセル方式の半導体集積回路装置の製造方法における詳細配線工程後に行なうことができる。

【0030】

【発明の実施の形態】

図1は半導体集積回路装置の一実施例を示す断面図である。この実施例では完全空乏型SOIトランジスタを用い、6層メタル配線構造を用いた。なお、図中の横幅で示す各メタル配線層の大きさは一例であり、図に示した大きさに限定されるものではない。

【0031】

シリコン基板1上に埋込み酸化膜3が形成され、さらにその上に単結晶シリコン層5が形成されているSOI基板1上に複数の完全空乏型SOIトランジスタが形成されている。各完全空乏型MOSトランジスタは、例えば浅い溝を絶縁物で埋めて素子分離を行なうSTI (Shallow Trench Isolation) 技術により形成された分離酸化膜15により電氣的に分離されている。完全空乏型MOSトランジスタはSOI基板1の単結晶シリコン層5に間隔をもって形成された2つのソース又はドレイン領域9, 9と、ソース又はドレイン領域9, 9間の単結晶シリコン層5上にゲート酸化膜11を介して形成された例えばポリシリコン膜からなるゲート電極13を備えている。領域AとBの完全空乏型SOIトランジスタは共通のゲート電極13をもつ。

【0032】

完全空乏型SOIトランジスタ上及び素子分離膜15を含むSOI基板1上に複数の絶縁層が積層されて形成された絶縁層17が形成されている。絶縁層17内には下層側から順にメタル配線層M1, M2, M3, M4, M5, M6が形成されている。

【0033】

完全空乏型SOIトランジスタが形成されている領域A及びDにおいて、ゲート電極13は、コンタクト層19を介して最下層のメタル配線層M1に電氣的に

接続され、さらにビア層 21 を介して、メタル配線層 M2 に電氣的に接続されている。

【0034】

メタル配線層 M2 は領域 C において、ビア層 23、メタル配線層 M3、ビア層 25、メタル配線層 M4、ビア層 27、メタル配線層 M5 及びビア層 29 を介して最上層のメタル配線層 M6 に電氣的に接続されている。メタル配線層 M6 上の絶縁層 17 にはパッド開口部 31 が形成されている。コンタクト層 19 から領域 C のメタル配線層 M6 への配線経路は信号伝送用の接続孔及び金属配線層を構成する。

【0035】

完全空乏型 SOI トランジスタが形成されている領域 A において、メタル配線層 M2 上に、熱伝導部 33 を構成するビア層 23、メタル配線層 M3、ビア層 25、メタル配線層 M4、ビア層 27、メタル配線層 M5、ビア層 29 及び最上層のメタル配線層 M6 が形成されている。熱伝導部 33 は信号伝送用の接続孔及び金属配線層とは異なる経路でメタル配線層 M2 の上層側に形成されている。

【0036】

領域 A において、完全空乏型 SOI トランジスタのゲート動作により発生した熱は、コンタクト層 19、メタル配線層 M1、ビア層 21、メタル配線層 M2 に伝導され、さらに熱伝導部 33 を介して最上層のメタル配線層 M6 まで伝導され、絶縁層 17 の上面側から放熱される。これにより、半導体集積回路装置の温度上昇を低減することができる。

【0037】

この実施例では、熱伝導部 33 はメタル配線層 M3、M4、M5、M6 及びビア層 23、25、27、29 により構成され、信号伝送用のコンタクト層 19、メタル配線層 M1、ビア層 21 及びメタル配線層 M2 を介してゲート電極 13 に接続されているが、本発明の半導体集積回路装置を構成する熱伝導部はこれに限定されるものではなく、例えばコンタクト層 19 からメタル配線層 M6 までの全ての導電材料が信号伝送用の金属配線層とは接続されていないものからなり、ゲート電極に直接接続されているものであってもよい。

【0038】

完全空乏型SOIトランジスタが形成されている領域Dの近傍の領域Eにおいて、メタル配線層M2上に、熱伝導部35を構成するビア層23、メタル配線層M3、ビア層25、メタル配線層M4、ビア層27及びメタル配線層M5が形成されている。熱伝導部35は信号伝送用の接続孔及び金属配線層とは異なる経路でメタル配線層M2の上層側に形成されている。

【0039】

領域D及びEにおいて、完全空乏型SOIトランジスタのゲート動作により発生した熱は、コンタクト層19、メタル配線層M1、ビア層21、メタル配線層M2に伝導され、さらに熱伝導部35を介してメタル配線層M5まで伝導され、絶縁層17の上面側から放熱される。このように、本発明の半導体集積回路装置を構成する熱伝導部は最上層のメタル配線層M6を含んでいなくてもよく、また、熱伝導部は完全空乏型SOIトランジスタのゲート電極13上とは異なる領域に形成されていてもよい。

【0040】

熱伝導部33、35を構成する各メタル配線層M3、M4、M5、M6は電氣的配線としては使用されていないダミーメタルであってもよいし、熱伝導部33を形成するために設けられた専用のメタル配線層であってもよい。

【0041】

領域Fにおいて、熱伝導部37を構成するメタル配線層M3、ビア層25、メタル配線層M4、ビア層27、メタル配線層M5、ビア層29及びメタル配線層M6が形成されている。熱伝導部37は信号伝送用の金属配線層を構成するメタル配線層M2とは接続されておらず、熱伝導部37を構成するメタル配線層M3、M4、M5、M6はダミーメタルにより形成されている。

【0042】

図2は、ダミーメタルが形成される領域の平面図を示し、(A)は熱伝導部を構成するダミーメタル、(B)は熱伝導部を構成しないダミーメタルを示す。

例えばメタル配線層M3からM6の各メタル配線層において、ダミーメタル39は上面側から見て同じ座標位置に形成されている(図2(B)参照)。

ダミーメタル 3 9 を熱伝導部として用いる場合、メタル配線層 M 3 から M 6 の各メタル配線層をビア層 2 5, 2 7, 2 9 を介して接続する（図 1 の領域 F 及び図 2 (A) 参照）。これにより、配線層間に蓄えられた熱も上層側に伝導することができ、半導体集積回路装置の温度上昇をさらに低減することができる。

【 0 0 4 3 】

図 3 は半導体集積回路装置の他の実施例を示す断面図である。図 1 と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

図 1 に示した実施例と異なる点は、領域 A 及び F においてメタル配線層 M 6 上の絶縁層 1 7 に、放熱用開口部 4 1 がそれぞれ形成されていることである。放熱用開口部 4 1 は製造工程数を増加させないためにパッド開口部 3 1 と同時に形成されたものであることが好ましい。

【 0 0 4 4 】

熱伝導部 3 3, 3 5 を構成するメタル配線層 M 6 上に放熱用開口部 4 1 を設けることにより、放熱の効率を向上させることができる。さらに、例えば B G A (Ball Grid Array) や C S P (Chip Size Package) 等、パッド電極（パッド開口部 3 1 内のメタル配線層 M 6）上に半田ボール等の外部接続端子が設けられる半導体集積回路装置に適用する場合は、放熱用開口部 4 1 内のメタル配線層 M 6 上にも外部接続端子を設けることにより、その外部接続端子を含めた熱伝導部が半導体集積回路装置外部の空間と接触する面積を増大させることができるので、放熱の効率をさらに向上させることができる。

【 0 0 4 5 】

図 4 は半導体集積回路装置のさらに他の実施例を示す断面図である。図 1 及び図 3 と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【 0 0 4 6 】

完全空乏型 S O I トランジスタが形成されている領域 G において、ソース又はドレイン領域 9 上にコンタクト層 1 9、メタル配線層 M 1、ビア層 2 1、メタル配線層 M 2、ビア層 2 3、メタル配線層 M 3、ビア層 2 5、メタル配線層 M 4、ビア層 2 7、メタル配線層 M 5、ビア層 2 9 及びメタル配線層 M 6 からなる熱伝導部 4 3 が設けられている。これにより、ゲート電極 1 3 で発生する熱を、ソー

ス又はドレイン領域 9 から熱伝導部 43 を介して放熱することができる。

【0047】

完全空乏型 SOI トランジスタが形成されている領域 G の近傍の領域 H において、素子分離膜 15 上にコンタクト層 19、メタル配線層 M1、ビア層 21、メタル配線層 M2、ビア層 23、メタル配線層 M3、ビア層 25、メタル配線層 M4、ビア層 27、メタル配線層 M5、ビア層 29 及びメタル配線層 M6 からなる熱伝導部 45 が設けられている。これにより、ゲート電極 13 で発生する熱を、素子分離膜 15 から熱伝導部 45 を介して放熱することができる。

【0048】

熱伝導部 43、45 を構成する各メタル配線層はダミーメタルであってもよいし、熱伝導部を形成するために設けられた専用のメタル配線層であってもよい。また、信号伝送用の接続孔及び金属配線層を介してソース又はドレイン領域 9、又は素子分離膜 15 に接続されるようにしてもよい。

【0049】

上記の実施例では、半導体素子として完全空乏型 SOI トランジスタを備えた例を示しているが、本発明はこれに限定されるものではなく、半導体素子として例えば、部分空乏型 SOI トランジスタや、SON トランジスタ、従来型の MOS トランジスタ、容量素子、抵抗素子等、他の半導体素子を備えている半導体集積回路装置であってもよい。

【0050】

図 5 は、スタンダードセル方式の半導体集積回路装置のスタンダードセル及びその回路図を示し、(A) は一実施例を構成するスタンダードセルの平面図、(B) は (A) の熱伝導部を示す断面図、(C) は従来のスタンダードセルの平面図、(D) は回路図である。ここではスタンダードセル（機能ブロック）として 2 つのインバータセルを用いた。まず、(C) 及び (D) を参照して従来のスタンダードセルを説明する。

【0051】

インバータセル A' 及び B' において、半導体基板上に形成された素子分離膜 15 で囲まれた活性領域にソース又はドレイン領域 9 が形成され、ソース又はド

レイン領域 9， 9 間の半導体基板上にゲート酸化膜（図示は省略）を介してポリシリコン膜からなるゲート電極 1 3 が形成されている。インバータセル A'， B' のそれぞれにおいて、ゲート電極 1 3 は複数の MOS トランジスタにおいて共通である。

【 0 0 5 2 】

半導体基板上に絶縁層を介して形成された最下層のメタル配線層 M 1 により、電源ライン VDD 及びグラウンドライン GND が形成されている。電源ライン VDD 及びグラウンドライン GND の一部はソース又はドレイン領域 9 の上に延伸して形成され、コンタクト層（図示は省略）を介してソース又はドレイン領域 9 に接続されている。

【 0 0 5 3 】

また、メタル配線層 M 1 により入力ライン及び出力ラインも形成されている。インバータセル A' の入力ライン I N 1 はコンタクト層（図示は省略）を介してインバータセル A' のゲート電極 1 3 に接続され、出力ライン O U T 1 は電源ライン VDD 又はグラウンドライン GND が接続されたものとは異なるソース又はドレイン領域 9 にコンタクト層（図示は省略）を介して接続されている。インバータセル B' の入力ライン I N 2 はコンタクト層（図示は省略）を介してインバータセル B' のゲート電極 1 3 に接続され、出力ライン O U T 2 は電源ライン VDD 又はグラウンドライン GND が接続されたものとは異なるソース又はドレイン領域 9 にコンタクト層（図示は省略）を介して接続されている。インバータセル A' の出力ライン O U T 1 とインバータセル B' の入力ライン I N 2 は接続されている。

【 0 0 5 4 】

次に（A）及び（B）を参照して一実施例を構成するスタンダードセルを説明する。インバータセル A の構成は（C）に示したインバータセル A' と同じである。インバータセル B は（C）に示したインバータセル B' の構成に加えて、入力ライン I N 2 に接続された、ビア層 2 1， 2 3， 2 5， 2 7， 2 9 及びメタル配線層 M 2， M 3， M 4， M 5， M 6 からなる熱伝導部 5 1 を備えている。

【 0 0 5 5 】

このように、発熱源となるインバータセルBのゲート電極13に接続される入力ラインIN2に熱伝導部51を接続することにより、スタンダード方式の半導体集積回路装置においても熱伝導部による放熱効果を得ることができる。

【0056】

この実施例では1つの熱伝導部51を備えているが、本発明はこれに限定されるものではなく、1つのスタンダードセル内に複数個の熱伝導部を備えているようにしてもよい。さらに、熱伝導部は、ゲート電極に接続された信号配線に限定されるものではなく、ゲート電極に直接接続されていてもよいし、ソース又はドレイン領域に直接又は信号伝送用の接続孔及び金属配線層を介して接続されていてもよいし、素子分離膜に直接接続されていてもよい。

【0057】

図6は、スタンダードセル方式の半導体集積回路装置の実施例で配置されるフィードセルの一例を示す図であり、(A)は平面図、(B)は熱伝導部を示す断面図である。

例えば最小配線グリッド相当のフィードセル57の素子分離膜15上に最下層のメタル配線層M1からなる電源ラインVDD、グラウンドラインGND及び信号配線53が形成されている。さらに、信号配線53に接続された、ビア層21, 23, 25, 27, 29及びメタル配線層M2, M3, M4, M5, M6からなる熱伝導部55を備えている。

【0058】

図7は、図6に示したフィードセルの配置例を示す平面図である。ここではスタンダードセルとして図5(C)に示したインバータセルA', B'を用いた。

インバータセルA'とインバータセルB'の間にフィードセル57が配置されている。インバータセルA'の出力ラインOUT1とインバータセルB'の入力ラインIN2はフィードセル57の信号配線53を介して接続されている。

【0059】

インバータセルBのゲート電極13で発生する熱は、入力ラインIN2及び信号配線53を介して熱伝導部55に伝導され、半導体集積回路装置の上面側から放熱される。このように、フィードセル57に本発明の半導体集積回路装置を構

成する熱伝導部を設けることにより半導体集積回路装置の温度上昇を低減することができる。さらに、フィードセルに熱伝導部を配置することにより、従来のスタンダードセルは変更することなく、熱伝導部による放熱効果を得ることができる。

【0060】

図7に示した実施例では、インバータセルA'とインバータセルB'の間に1つのフィードセル57を備えているが、例えば図8に示すようにインバータセルA'とインバータセルB'の間に2つのフィードセル57を配置する等、スタンダードセルの間に配置されるフィードセルの個数は何個であってもよい。

【0061】

また、フィードセル57に配置される熱伝導部において、図9に示すように、上層側のメタル配線層、例えばメタル配線層M4、M5の面積を大きくして放熱効率を向上させるようにしてもよい。

【0062】

また、熱伝導部が配置されるフィードセル57の大きさは最小配線グリッド相当のものに限定されるものではなく、例えば図10に示すように、任意のグリッド幅であってもよい。

また、上記の実施例において、フィードセル57における各メタル配線層M2～M6の面積は任意である。

【0063】

図5から図10を参照して説明した実施例では、本発明の半導体集積回路装置をスタンダードセル方式の半導体集積回路装置に適用しているが、本発明の半導体集積回路装置はこれに限定されるものではなく、例えばゲートアレイ方式の半導体集積回路装置等、複数の半導体素子を含む回路を機能ごとに機能ブロック化し、複数の機能ブロックを配置する方式の半導体集積回路装置及びその製造方法に適用することができる。また、複数の機能ブロックを配置する方式の半導体集積回路装置以外のものについても、本発明の半導体集積回路装置を適用することができる。

【0064】

図 1 1 は、スタンダードセル方式の半導体集積回路装置の製造方法の一実施例を示すフローチャートである。

スタンダードセルライブラリ、ネットリスト、タイミング制約等の情報に基づいて、各スタンダードセルをチップ上のどの位置に配置するかを決定することにより、スタンダードセルを配置する（ステップ S 1）。

【 0 0 6 5 】

配線領域を互いに重ならない矩形の領域（チャンネル）に分割し、各ネット（同電位に結線すべき端子の集合）の配線経路がどのチャンネルを通るかを決定して概略配線を行なった後、チャンネルごとに、そのチャンネル内の詳細な配線経路を決定していく詳細配線を行なう（ステップ S 2）。

【 0 0 6 6 】

スタンダードセル及び配線レイアウト後の隙間にフィードセルを配置する。レイアウトに起因する遅延発生等によるタイミングの不具合をレイアウトの変更等により改善する E C O（Engineering Change Order）工程にて、フィードセルについて、隣接するスタンダードセル内のゲート電極の熱容量に応じて本発明の半導体集積回路装置を構成する熱伝導部を備えたフィードセル（例えば図 6、図 9 及び図 1 0 参照）に変更し、さらに、スタンダードセルについて、スタンダードセル内のゲート電極の熱容量に応じて、本発明の半導体集積回路装置を構成する熱伝導部を備えたスタンダードセル（例えば図 5（A）のインバータ B 参照）に変更する（ステップ S 3）。

【 0 0 6 7 】

配線の修正を行なった後（ステップ S 4）、ソフトウェアを用いてセル間の配線の容量及び抵抗を抽出し、抽出した容量及び抵抗を含めて論理シミュレーションを行なって精度を上げて検証するバックアノテーション工程を行なう（ステップ S 5）。

【 0 0 6 8 】

バックアノテーション（ステップ S 5）の結果に不具合がある場合、スタンダードセル配置（ステップ S 1）、概略配線及び詳細配線（ステップ S 2）又は配線修正（ステップ S 4）に戻る。バックアノテーション（ステップ S 5）の結果

が適当な場合、レイアウトを完了する。

【 0 0 6 9 】

この実施例では、熱伝導部を備えた本発明の半導体集積回路装置をスタンダードセル方式の半導体集積回路装置の製造方法により製造しているが、本発明の半導体集積回路装置はスタンダード方式の製造方法により製造されるものに限定されるものではなく、他の製造方法により製造される半導体集積回路装置にも本発明の半導体集積回路装置を適用することができる。

【 0 0 7 0 】

以上、本発明の半導体集積回路装置及びその製造方法の実施例を説明したが、本発明はこれらに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【 0 0 7 1 】

【発明の効果】

請求項 1 に記載された半導体集積回路装置では、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えているようにしたので、熱伝導部により、半導体素子で発生する熱を半導体集積回路装置の上層側に放熱することができるので、半導体集積回路装置の温度上昇を低減することができる。

【 0 0 7 2 】

請求項 2 に記載された半導体集積回路装置では、熱伝導部は最上層の配線層を含んでいるようにしたので、熱伝導部により、半導体素子で発生する熱を半導体集積回路装置の上層面近傍まで伝導することができ、放熱の効率を向上させることができる。

【 0 0 7 3 】

請求項 3 に記載された半導体集積回路装置では、熱伝導部を構成する最上層の配線層上の絶縁膜に開口部が形成されているようにしたので、さらに放熱の効率を向上させることができる。

【 0 0 7 4 】

請求項 4 に記載された半導体集積回路装置では、熱伝導部は MOS トランジス

タのゲート電極に直接又は信号伝送用の接続孔及び金属配線層を介して接続されているようにしたので、MOSトランジスタのゲート電極で発生する熱を熱伝導部を介して放熱することができる。

【0075】

請求項5に記載された半導体集積回路装置では、熱伝導部はMOSトランジスタのソース又はドレイン領域に直接又は信号伝送用の接続孔及び金属配線層を介して接続されているようにしたので、MOSトランジスタのゲート電極で発生する熱を、ソース又はドレイン領域から熱伝導部を介して放熱することができる。

【0076】

請求項6に記載された半導体集積回路装置では、熱伝導部はMOSトランジスタを電氣的に分離するための素子分離膜に直接又は信号伝送用の接続孔及び金属配線層を介して接続されているようにしたので、MOSトランジスタのゲート電極で発生する熱を素子分離膜から、熱伝導部を介して放熱することができる。

【0077】

請求項7に記載された半導体集積回路装置では、MOSトランジスタとして、完全空乏型SOIトランジスタ、部分空乏型SOIトランジスタ又はSONトランジスタを用いるようにしたので、これらのMOSトランジスタ、特に完全空乏型SOIトランジスタにおいて、ゲート電極の発熱によるセルフヒーティング現象の問題を解決することができる。

【0078】

請求項8に記載された半導体集積回路装置では、熱導電部は、電氣的配線としては使用されていないダミーメタルを含み、各層においてダミーメタルは同じ座標に配置されており、異なる層で同じ座標位置のダミーメタルが接続孔を介して接続されているようにしたので、チップ配線層間に蓄えられた熱も上層側に伝導することができ、半導体集積回路装置の温度上昇をさらに低減することができる。

【0079】

請求項9に記載された半導体集積回路装置では、複数の機能ブロックを配置する方式の半導体集積回路装置において、機能ブロックの一部又は全部が本発明の

半導体集積回路装置を構成する熱伝導部を 1 又は複数備えているようにしたので、発熱源となる半導体素子の直上に熱伝導部を配置することができ、放熱効果を効率よく得ることができる。

【0080】

請求項 10 に記載された半導体集積回路装置では、熱伝導部は、機能ブロック内のゲート電極の熱容量に応じて配置されているようにしたので、活性化率が高いことが予想される機能ブロックに熱伝導部を選択的に挿入することにより、熱伝導部に起因する信号配線の迂回を最小限にすることができる。

【0081】

請求項 11 に記載された半導体集積回路装置では、複数の機能ブロックを配置する方式の半導体集積回路装置において、機能ブロック間に隙間を埋めるフィードセルが配置されている領域を含み、フィードセルの一部又は全部が本発明の半導体集積回路装置を構成する熱伝導部を 1 又は複数備えているようにしたので、従来の機能ブロックは変更することなく、熱伝導部による放熱効果を得ることができる。

【0082】

請求項 12 に記載された半導体集積回路装置では、熱伝導部を備えたフィードセルは、フィードセル近傍の機能ブロック内のゲート電極の熱容量に応じて配置されているようにしたので、活性化率が高いことが予想される機能ブロックの近傍のフィードセルに熱伝導部を選択的に挿入することにより、熱伝導部に起因する信号配線の迂回を最小限にすることができる。

【0083】

請求項 13 に記載された半導体集積回路装置の製造方法では、スタンダードセル方式の半導体集積回路装置の製造方法において、スタンダードセルには、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えたものを含むようにしたので、半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減することができる。さらに、熱伝導部を備えたスタンダードセルに変更する工程は、スタンダードセル方式の半導体集積回路装置の製造方法における

詳細配線工程後に行なうことができる。

【 0 0 8 4 】

請求項 1 4 に記載された半導体集積回路装置の製造方法では、本発明の半導体集積回路装置の製造方法において、スタンダードセルには機能ブロック間の隙間を埋めるフィードセルも含まれており、それらのフィードセルには、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層とは異なる経路で上層側に延びる熱伝導部を備えたものを含むようにしたので、フィードセルに配置された熱伝導部により半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減することができる。さらに、熱伝導部を備えたフィードセルに変更する工程は、スタンダードセル方式の半導体集積回路装置の製造方法における詳細配線工程後に行なうことができる。

【図面の簡単な説明】

【図 1】

半導体集積回路装置の一実施例を示す断面図である。

【図 2】

ダミーメタルが形成される領域の平面図を示し、（A）は熱伝導部を構成するダミーメタル、（B）は熱伝導部を構成しないダミーメタルを示す。

【図 3】

半導体集積回路装置の他の実施例を示す断面図である。

【図 4】

半導体集積回路装置のさらに他の実施例を示す断面図である。

【図 5】

スタンダードセル方式の半導体集積回路装置のスタンダードセル及びその回路図を示し、（A）は一実施例を構成するスタンダードセルの平面図、（B）は（A）の熱伝導部を示す断面図、（C）は従来のスタンダードセルの平面図、（D）は回路図である。

【図 6】

熱伝導部を備えたフィードセルの一例を示す図であり、（A）は平面図、（B）は熱伝導部を示す断面図である。

【図 7】

熱伝導部を備えたフィードセルの配置例を示す平面図である。

【図 8】

熱伝導部を備えたフィードセルの他の配置例を示す平面図である。

【図 9】

熱伝導部を備えたフィードセルの他の例を示す図であり、（A）は平面図、（B）は熱伝導部を示す断面図である。

【図 1 0】

熱伝導部を備えたフィードセルのさらに他の例を示す図であり、（A）は平面図、（B）は熱伝導部を示す断面図である。

【図 1 1】

スタンダードセル方式の半導体集積回路装置の製造方法の一実施例を示すフローチャートである。

【図 1 2】

従来型の MOS トランジスタ及び SOI 構造の MOS トランジスタを示す断面図である。

【符号の説明】

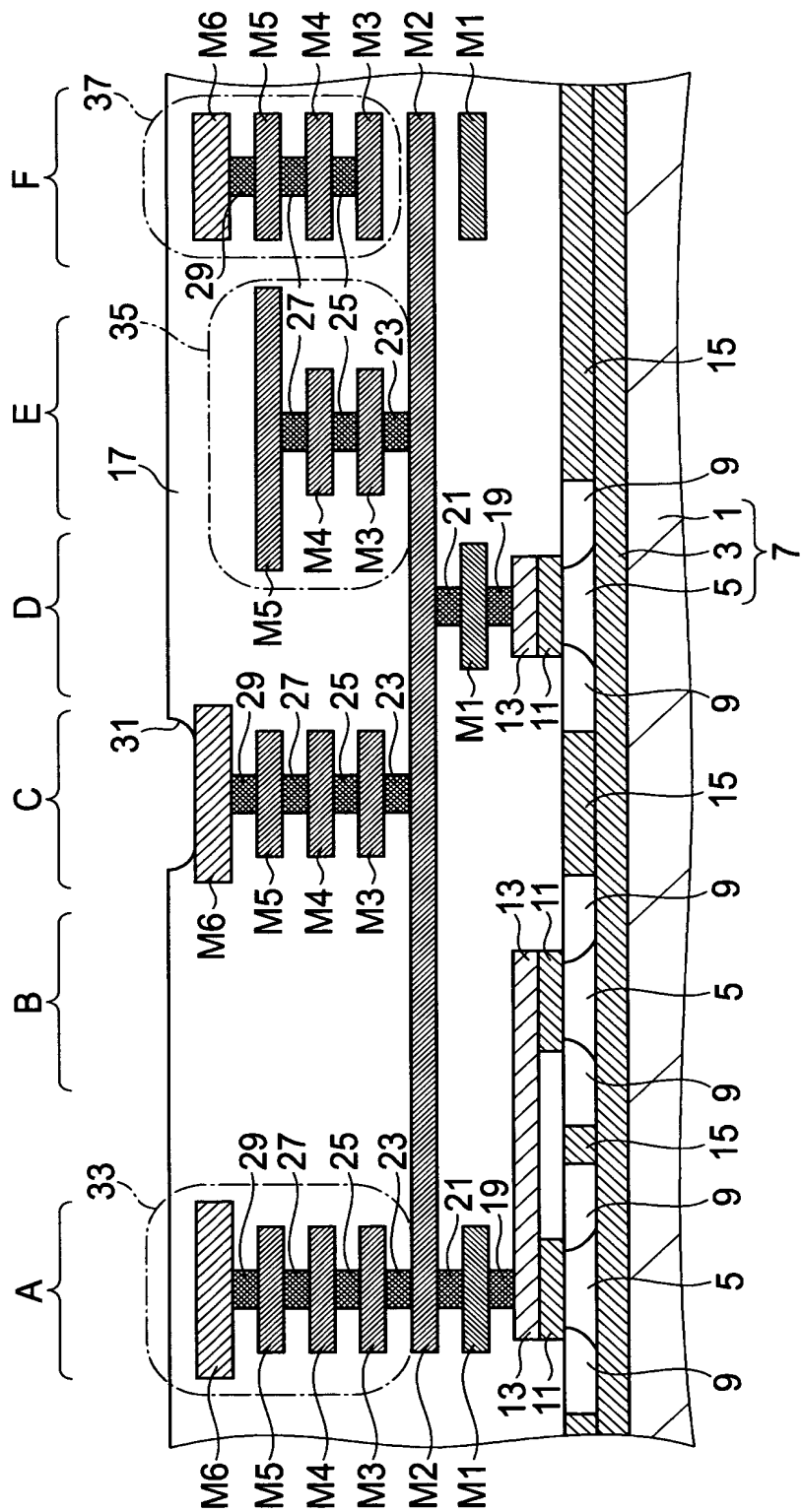
- | | |
|-------------------------|-------------|
| 1 | シリコン基板 |
| 3 | 埋込み絶縁層 |
| 5 | 単結晶シリコン層 |
| 7 | SOI 基板 |
| 9 | ソース又はドレイン領域 |
| 1 1 | ゲート酸化膜 |
| 1 3 | ゲート電極 |
| 1 5 | 素子分離膜 |
| 1 7 | 絶縁層 |
| 1 9 | コンタクト層 |
| 2 1, 2 3, 2 5, 2 7, 2 9 | ビア層 |
| 3 1 | パッド開口部 |

3 3, 3 5, 3 7 熱伝導部

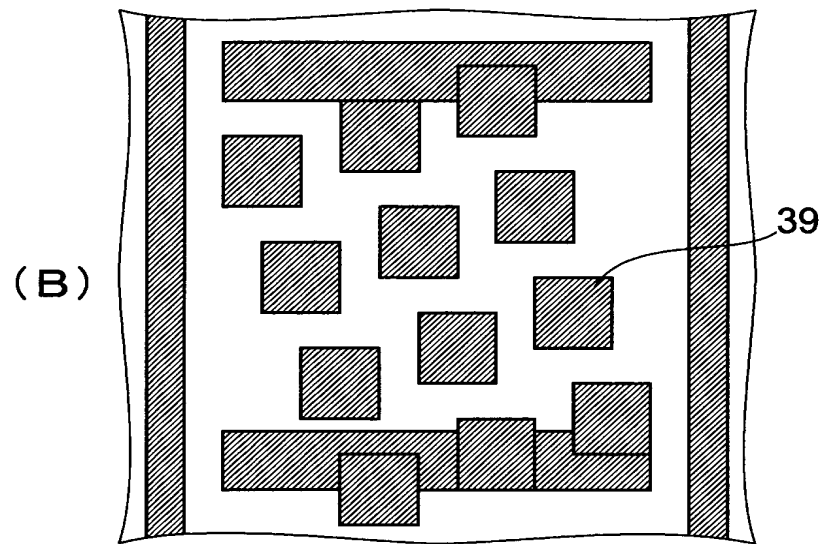
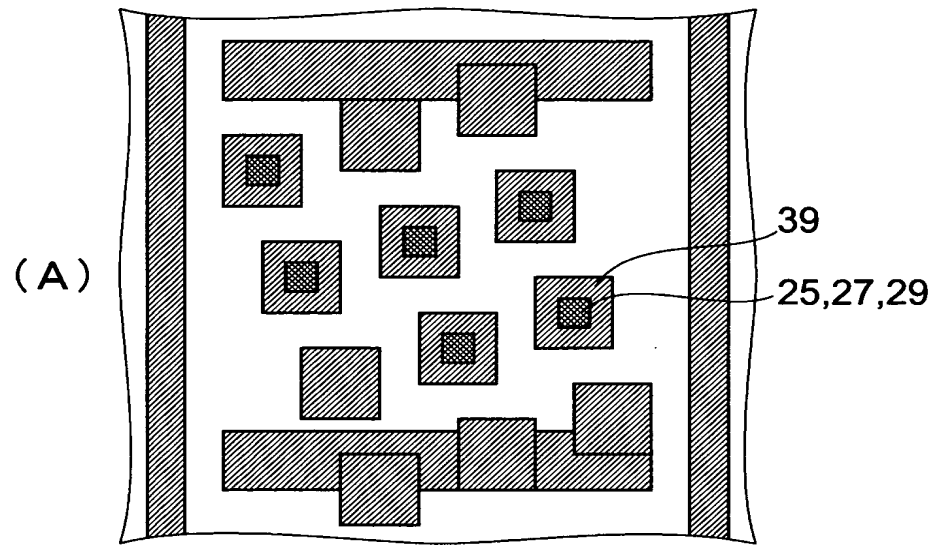
M 1, M 2, M 3, M 4, M 5, M 6 メタル配線層

【書類名】 図面

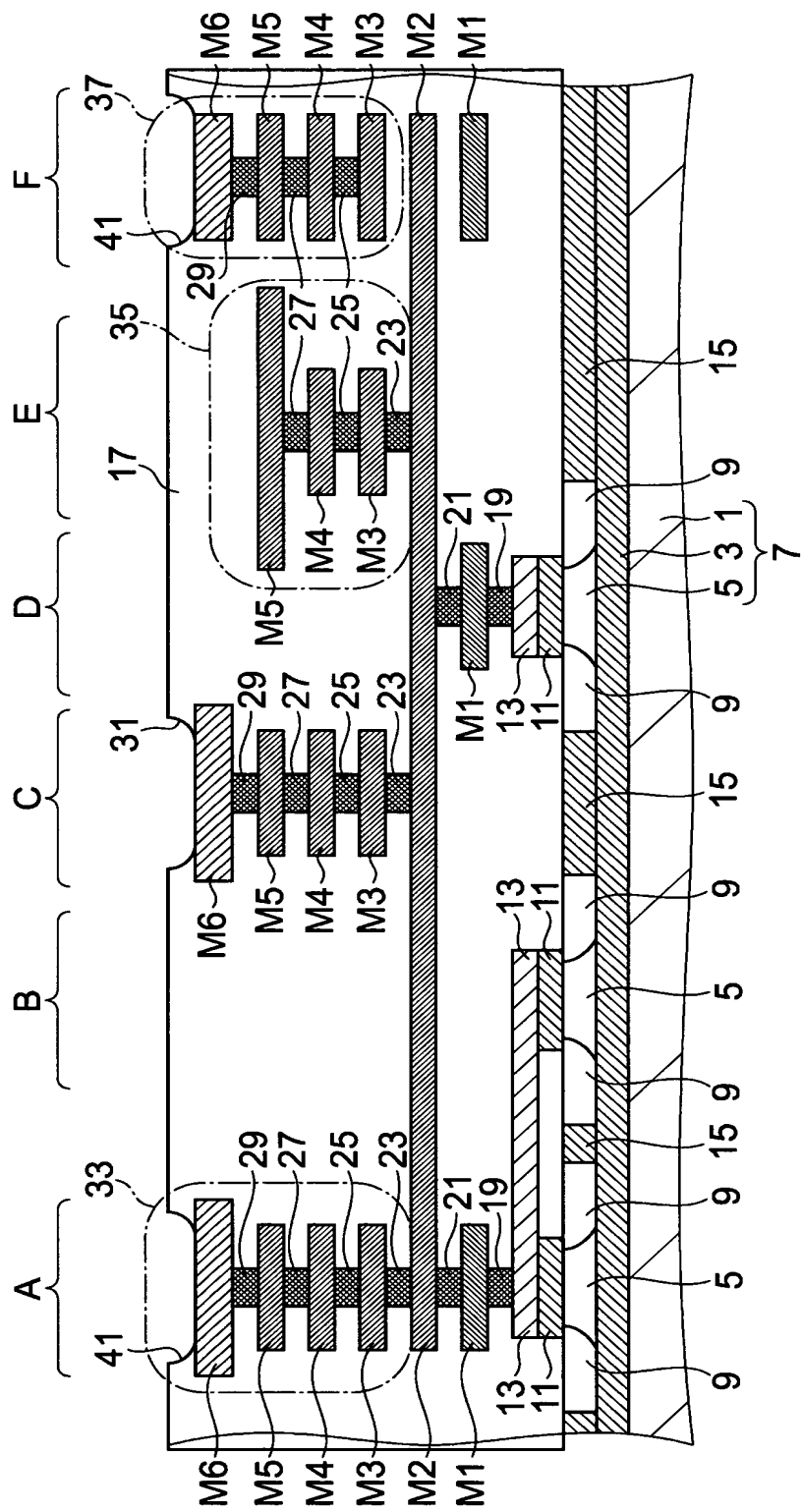
【図 1】



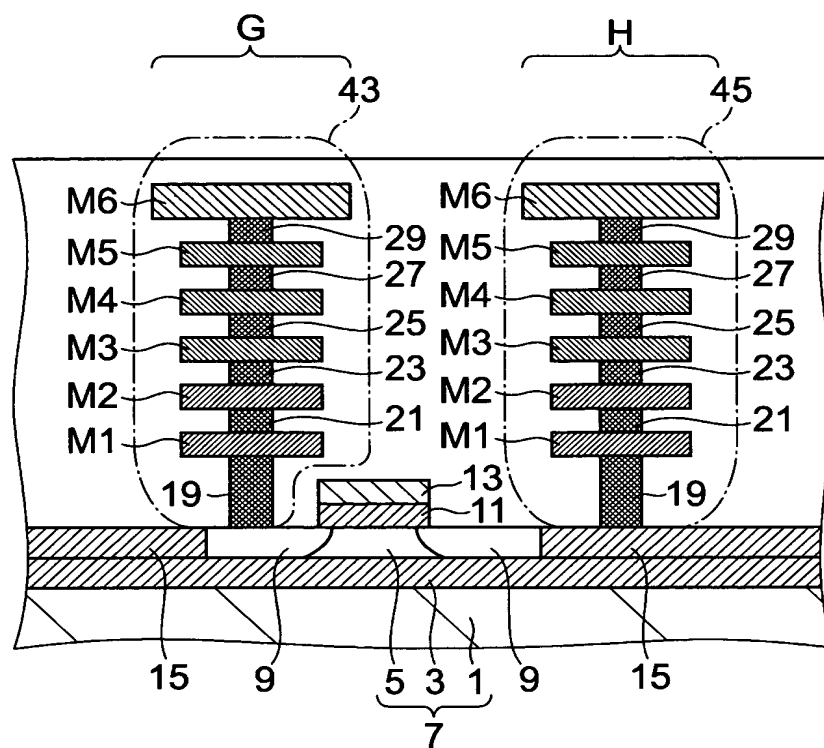
【図 2】



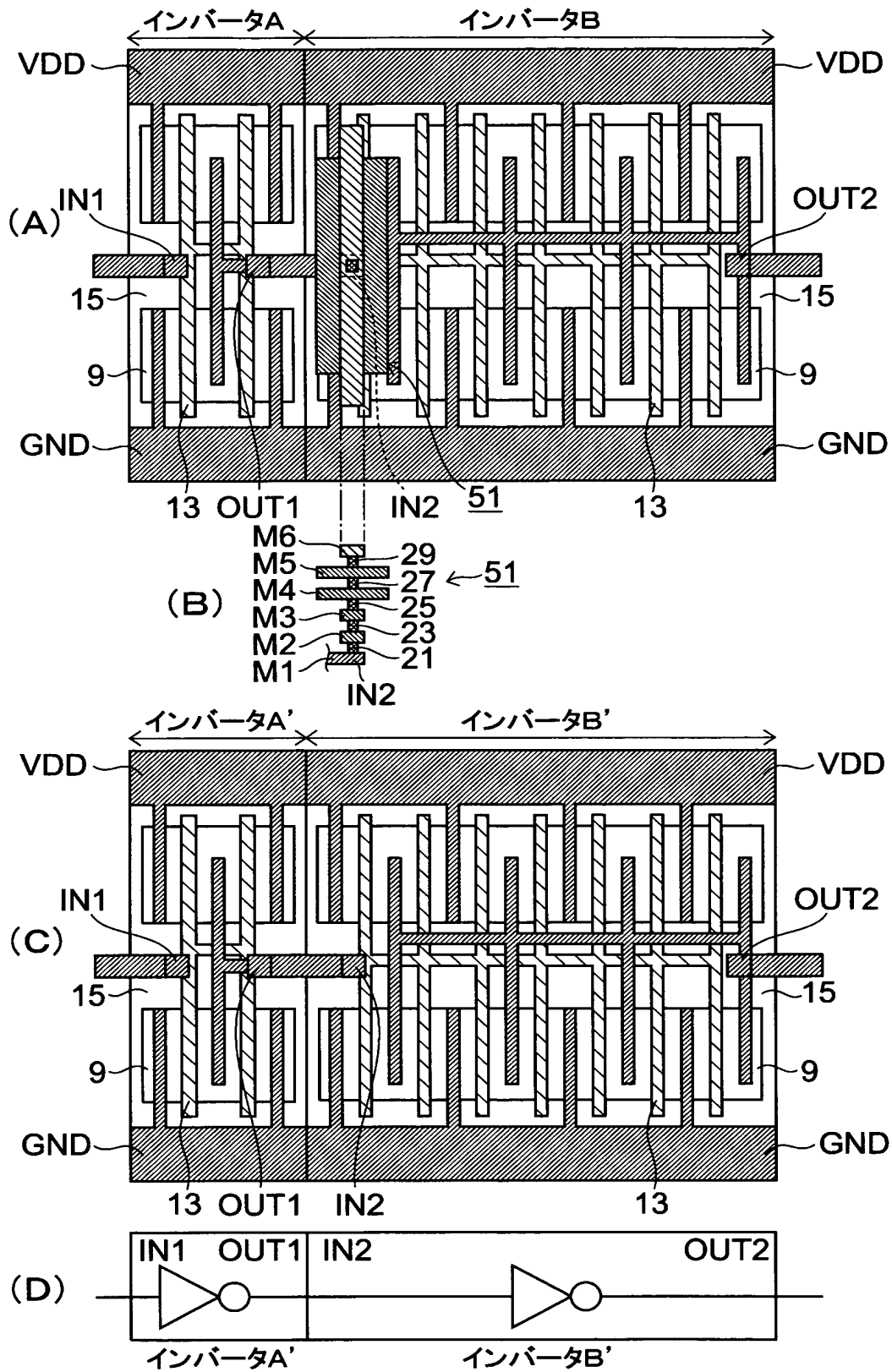
【図 3】



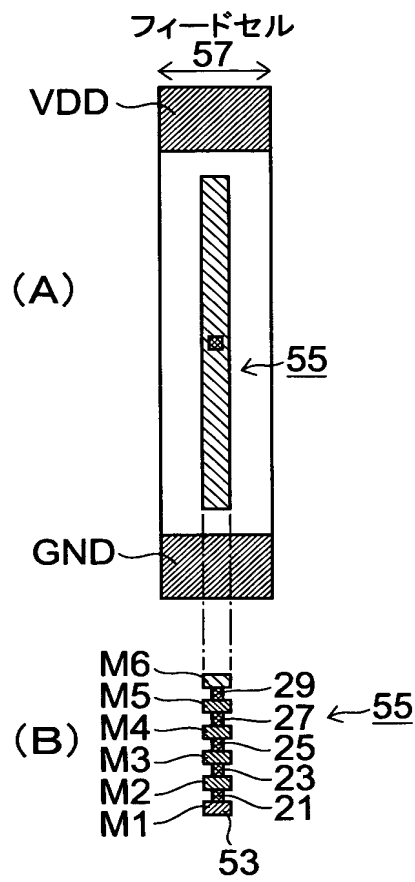
【図 4】



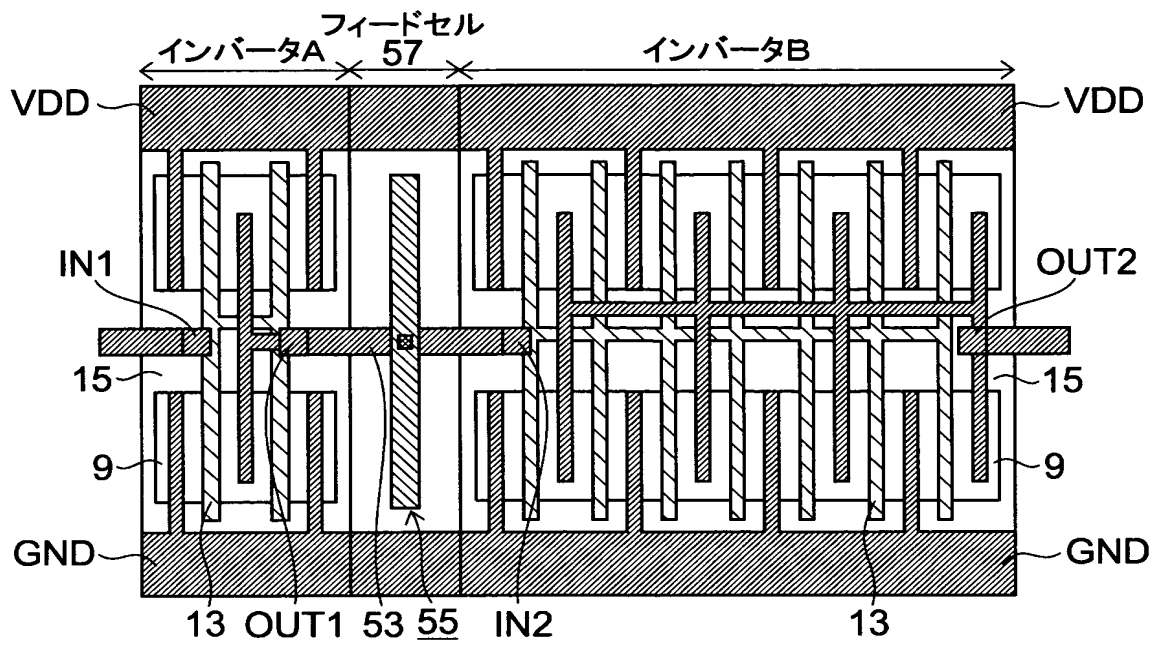
【図 5】



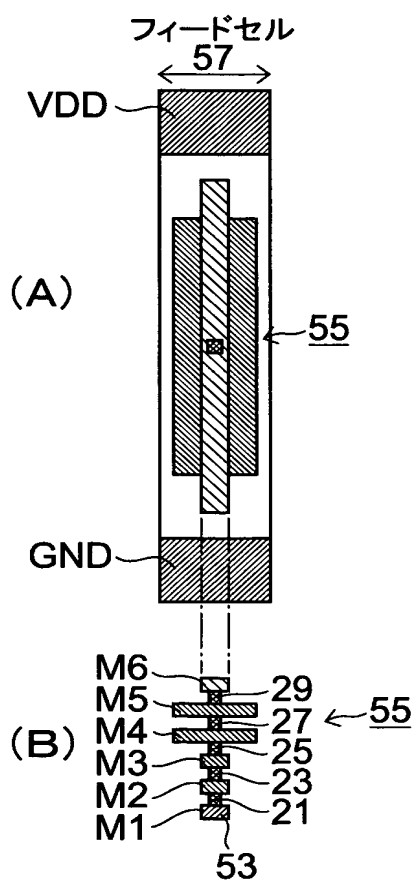
【図 6】



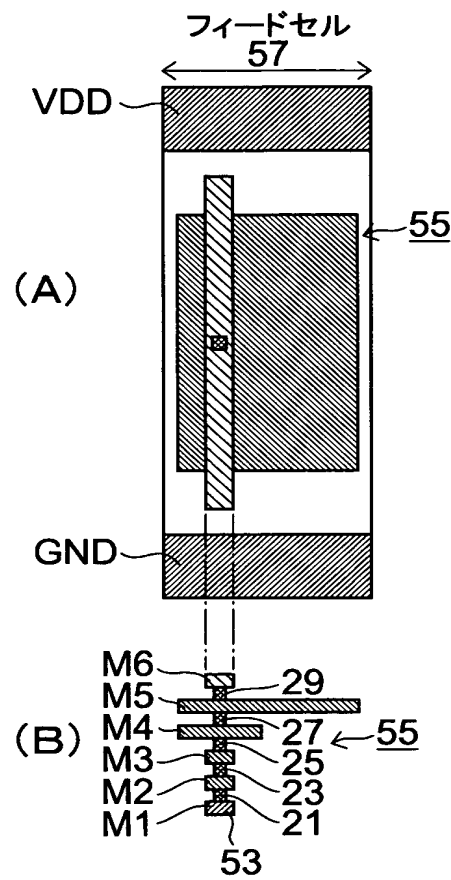
【図 7】



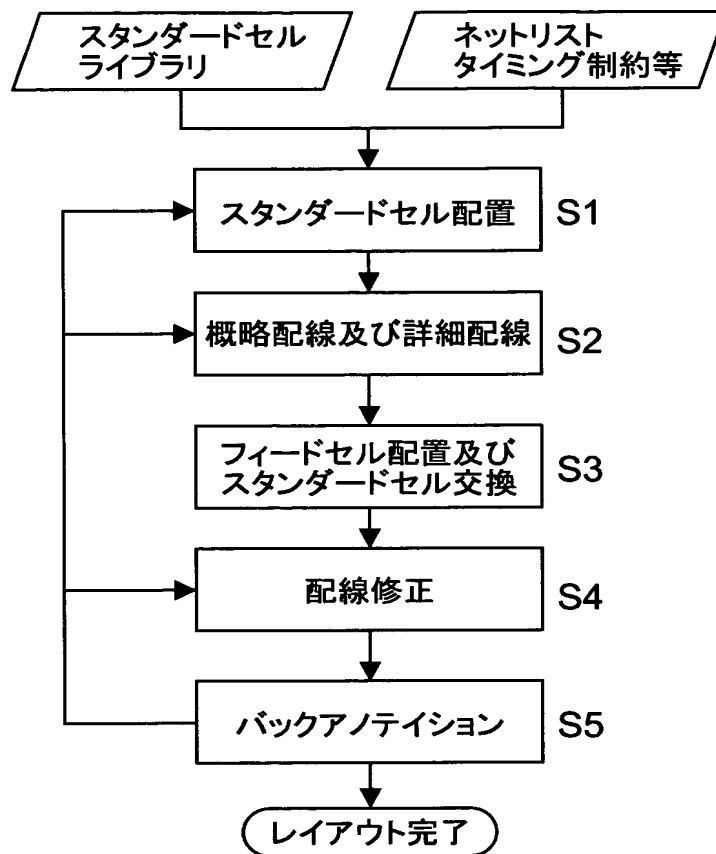
【図 9】



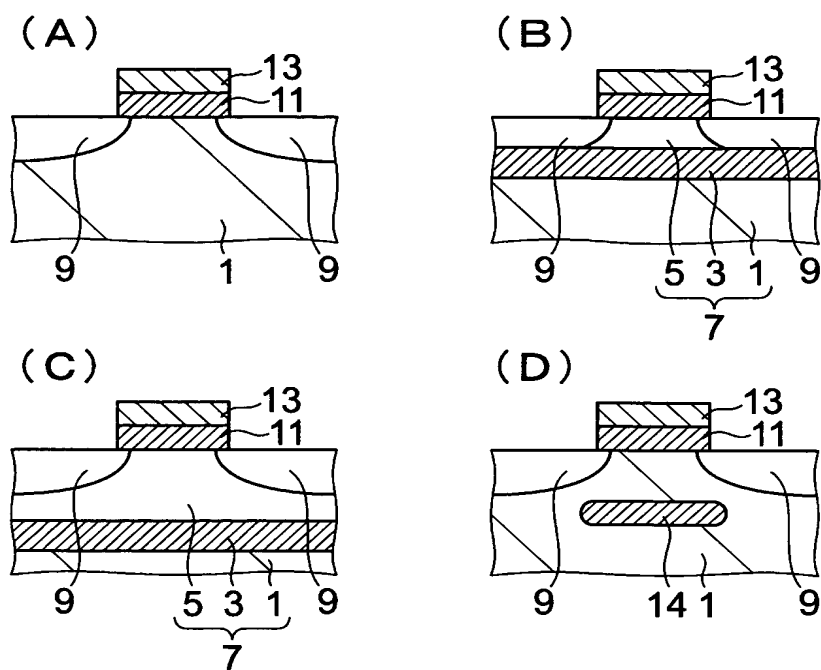
【図 1 0】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 半導体素子の発熱に起因する半導体集積回路装置の温度上昇を低減する。

【解決手段】 多層配線構造を備えた半導体集積回路装置において、多層配線構造を構成する接続孔及び金属配線層と同じ導電材料からなり、信号伝送用の接続孔及び金属配線層（領域C参照）とは異なる経路で上層側に延びる熱伝導部 33，35，37を備えている（領域A，E，F参照）。領域Aにおいて、完全空乏型SOIトランジスタのゲート動作により発生した熱は、コンタクト層19、メタル配線層M1、ビア層21、メタル配線層M2に伝導され、さらに熱伝導部33を介して最上層のメタル配線層M6まで伝導され、絶縁層17の上面側から放熱される。これにより、半導体集積回路装置の温度上昇を低減することができる。

【選択図】 図1

特願 2 0 0 2 - 2 3 2 5 5 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 7 4 7]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
 [変更理由] 新規登録
 住 所 東京都大田区中馬込 1 丁目 3 番 6 号
 氏 名 株式会社リコー
2. 変更年月日 2 0 0 2 年 5 月 1 7 日
 [変更理由] 住所変更
 住 所 東京都大田区中馬込 1 丁目 3 番 6 号
 氏 名 株式会社リコー